

7

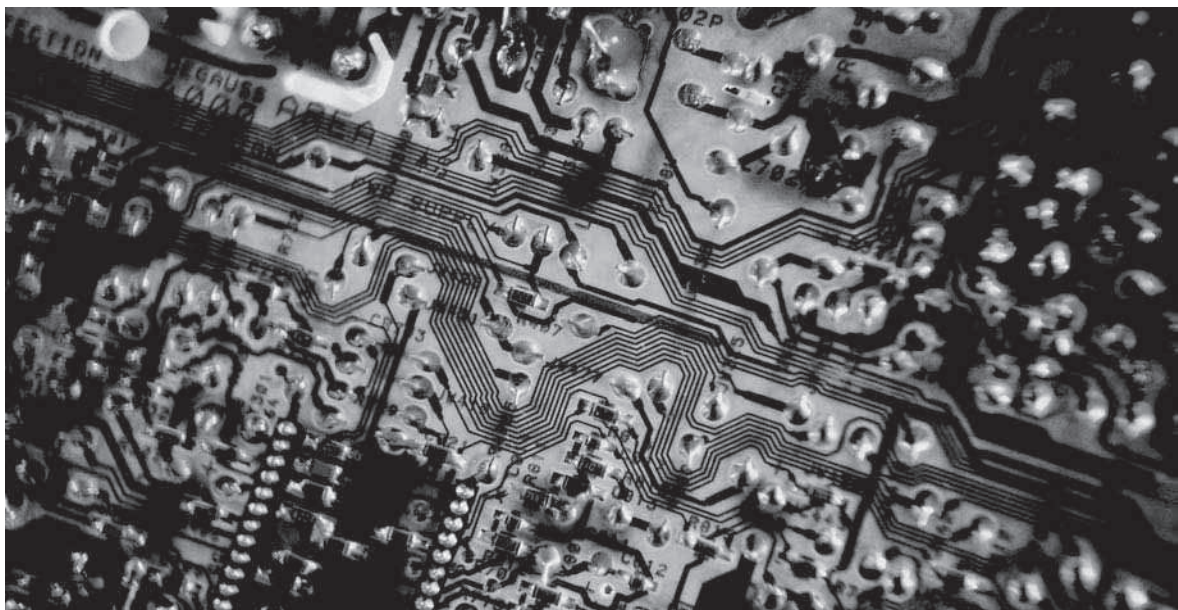
LATCHES, FLIP-FLOPS Y TEMPORIZADORES

CONTENIDO DEL CAPÍTULO

- 7.1 Latches
- 7.2 Flip-flops disparados por flanco
- 7.3 Características de funcionamiento de los flip-flops
- 7.4 Aplicaciones de los flip-flops
- 7.5 Monoestables
- 7.6 El temporizador 555
- 7.7 Localización de averías
- ■ ■ Aplicación a los sistemas digitales

OBJETIVOS DEL CAPÍTULO

- Utilizar puertas lógicas para construir latches básicos.
- Explicar la diferencia entre un latch S-R y un latch D.
- Conocer las diferencias entre un latch y un flip-flop.
- Explicar en qué se diferencian los flip-flops S-R, D y J-K.
- Comprender el significado de: retardo de propagación, tiempo de establecimiento (*setup time*),



tiempo de mantenimiento (*hold time*), frecuencia máxima de funcionamiento, ancho mínimo del impulso de reloj y disipación de potencia en las aplicaciones de los flip-flops.

- Emplear flip-flops en aplicaciones sencillas.
- Explicar en qué se diferencian los monoestables redisparables y no redisparables.
- Conectar un temporizador 555 para operar como multivibrador a estable o como monoestable.
- Localizar las averías en circuitos básicos de flip-flops.

PALABRAS CLAVE

- Latch
- Biestable
- SET
- RESET
- Reloj
- Flip-flop disparado por flanco
- Síncrono
- Flip-flop D
- Flip-flop J-K
- Bascular
- Inicialización (*Preset*)
- Borrado (*Clear*)
- Tiempo de retardo de propagación
- Tiempo de establecimiento
- Tiempo de mantenimiento
- Disipación de potencia
- Monoestable
- Temporizador
- Aestable

INTRODUCCIÓN

En este capítulo se inicia el estudio de los fundamentos de la lógica secuencial. Se cubren los circuitos biestables, monoestables y los dispositivos lógicos a estables, denominados *multivibradores*. Los dispositivos biestables se dividen en dos categorías: flip-flops y latches. Los biestables poseen dos estados estables, denominados SET (activación) y RESET (desactivación), en los cuales se pueden mantener indefinidamente, lo que les hace muy útiles como dispositivos de almacenamiento. La diferencia básica entre latches y flip-flops es la manera en que cambian de un estado a otro. Los flip-flops son los bloques básicos de construcción de los contadores, registros y otros circuitos de control secuencial, y se emplean también en ciertos tipos de memorias. El multivibrador monoestable, normalmente denominado monoestable, tiene un único estado estable. Un monoestable genera un único impulso de anchura controlada cuando se activa o dispara. El multivibrador a estable no tiene ningún estado estable y se emplea principalmente como oscilador, es decir, como generador de señales automantenidas. Los osciladores de impulsos se emplean como fuentes de señales de temporización en los sistemas digitales.

DISPOSITIVOS LÓGICOS DE FUNCIÓN FIJA

| | | |
|---------|---------|---------|
| 74XX74 | 74XX279 | 74XX122 |
| 555 | 74121 | 74XX75 |
| 74XX112 | | |

■■■ APLICACIÓN A LOS SISTEMAS DIGITALES

La aplicación a los sistemas digitales continúa con el sistema de control de semáforos del Capítulo 6. Este capítulo se ocupa del circuito de temporización del sistema que genera la señal de reloj, del intervalo de temporización largo para las luces rojas y verdes y del intervalo de temporización corto para las luces ámbar. El reloj se emplea como señal básica de temporización, que hace que la lógica secuencial del sistema pase a través de sus estados. La lógica secuencial se desarrollará en el Capítulo 8.

7.1 LATCHES

El *latch* (cerrojo) es un tipo de dispositivo de almacenamiento temporal de dos estados (biestable), que se suele agrupar en una categoría diferente a la de los flip-flops. Básicamente, los latches son similares a los flip-flops, ya que son también dispositivos de dos estados que pueden permanecer en cualquiera de sus dos estados gracias a su capacidad de realimentación, lo que consiste en conectar (realimentar) cada una de las salidas a la entrada opuesta. La diferencia principal entre ambos tipos de dispositivos está en el método empleado para cambiar de estado.

Al finalizar esta sección, el lector deberá ser capaz de:

- Explicar el funcionamiento de un latch S-R básico.
- Explicar el funcionamiento de un latch S-R con entrada de habilitación.
- Explicar el funcionamiento de un latch D con entrada de habilitación.
- Implementar un latch S-R o D mediante puertas lógicas.
- Describir los latches cuádruples 74LS279 y 74LS75.

El latch S-R (SET-RESET)

Un latch es un tipo de dispositivo lógico **biestable** o **multivibrador**. Un latch S-R (Set-Reset) con entrada activa a nivel ALTO se compone de dos puertas NOR acopladas, tal como se muestra en la Figura 7.1(a); un latch \bar{S} - \bar{R} con entrada activa a nivel BAJO está formado por dos puertas NAND conectadas tal como se muestra en la Figura 7.1(b). Observe que la salida de cada puerta se conecta a la entrada de la puerta opuesta. Esto origina la **realimentación** (*feedback*) regenerativa característica de todos los latches y flip-flops.

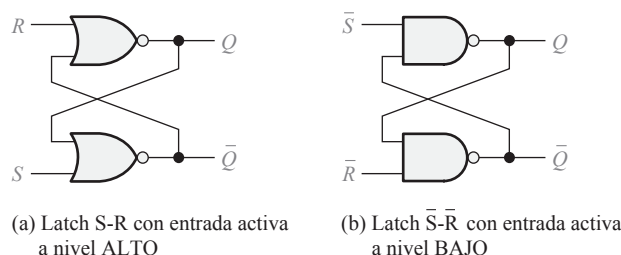


FIGURA 7.1 Dos versiones del latch S-R (SET-RESET).

Para explicar el funcionamiento del latch, vamos a utilizar el latch \bar{S} - \bar{R} de puertas NAND de la Figura 7.1(b). Este latch lo hemos vuelto a dibujar en la Figura 7.2, utilizando puertas negativa-OR equivalentes, debido a que los niveles BAJOS de las líneas \bar{S} y \bar{R} son las entradas de activación.



NOTAS INFORMÁTICAS

Los dispositivos *latch* algunas veces se utilizan en sistemas informáticos para multiplexar datos sobre un bus. Por ejemplo, los datos que se introducen en una computadora desde una fuente externa tienen que compartir el bus de datos con datos procedentes de otras fuentes. Cuando el bus de datos no está disponible para la fuente externa, los datos existentes deben almacenarse temporalmente y para ello pueden colocarse *latches* entre la fuente externa y el bus de datos. Cuando el bus de datos no está disponible para la fuente externa, los *latches* deben desconectarse del bus utilizando un método conocido como tri-estado. Cuando el bus de datos vuelve a estar disponible, los datos externos pasan a través de los *latches*, lo que da lugar al uso del término *latch transparente*. El *latch* tipo D realiza esta función y cuando se activa, los datos que hay en su entrada aparecen en la salida del mismo modo que si se tratara de una conexión directa. Los datos de entrada se almacenan tan pronto como el *latch* se desactiva.

El latch de la Figura 7.2 tiene dos entradas, \bar{S} y \bar{R} , y dos salidas Q y \bar{Q} . Asumimos que las dos entradas y la salida Q están a nivel ALTO. Dado que la salida Q se realimenta a una entrada de la puerta G_2 y que la entrada \bar{R} está a nivel ALTO, la salida de G_2 tiene que ser un nivel BAJO. Esta salida a nivel BAJO está acoplada de nuevo a una entrada de la puerta G_1 , asegurando así que su salida sea un nivel ALTO.

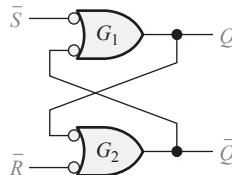


FIGURA 7.2 Equivalente con puertas negativa-OR para el latch \bar{S} - \bar{R} de puertas NAND de la Figura 7.1(b).

▲ *Un latch puede permanecer en uno de dos estados, SET o RESET.*

Cuando la salida Q está a nivel ALTO, el latch se encuentra en estado **SET** y permanecerá indefinidamente en él hasta que se aplique un nivel BAJO a la entrada \bar{R} . Si tenemos un nivel BAJO en la entrada \bar{R} y un nivel ALTO en \bar{S} , la salida de la puerta G_2 se pone forzosamente a nivel ALTO. Este nivel ALTO en la salida \bar{Q} se realimenta a una de las entradas de G_1 , dado que la entrada \bar{S} está a nivel ALTO, la salida de G_1 se pone a nivel BAJO. Este nivel BAJO en la salida Q se realimenta a una de las entradas de G_2 , asegurando que la salida \bar{Q} permanezca a nivel ALTO incluso cuando se elimine el nivel BAJO de la entrada \bar{R} . Cuando la salida Q es un nivel BAJO, el latch se encuentra en estado **RESET**. Ahora el latch permanece indefinidamente en este estado hasta que se aplique un nivel BAJO en la entrada \bar{S} .

En operación normal, las salidas de un latch son siempre complementarias una de la otra:

Cuando Q está a nivel ALTO, \bar{Q} está a nivel BAJO y cuando Q está a nivel BAJO, \bar{Q} está a nivel ALTO.

▲ *SET indica que la salida Q está a nivel ALTO.*

Se produce una condición de funcionamiento no válida en un latch \bar{S} - \bar{R} con entradas activas a nivel BAJO, cuando se aplican simultáneamente niveles bajos a las dos entradas, \bar{S} y \bar{R} . Mientras que se mantengan las dos entradas a nivel BAJO, las dos salidas Q y \bar{Q} deberían forzosamente estar a nivel ALTO, lo que viola la condición de complementariedad de las salidas. Además, si se eliminan simultáneamente los niveles BAJOS, las dos salidas van a tender al nivel BAJO y, dado que siempre va a existir un cierto retraso de propagación de la señal eléctrica a través de las puertas, una de las puertas dominará en la transición a nivel BAJO. Esto hará que la salida de la puerta más lenta permanezca a nivel ALTO. Cuando se produce esta situación, no se puede predecir el siguiente estado del latch.

▲ *RESET indica que la salida Q está a nivel BAJO.*

La Figura 7.3 ilustra el funcionamiento del latch \bar{S} - \bar{R} con entradas activas a nivel BAJO, para cada una de las cuatro posibles combinaciones de los niveles de entrada. Las primeras tres combinaciones son válidas, no así la última. La Tabla 7.1 resume en forma de tabla de verdad el funcionamiento lógico. El funcionamiento del latch construido con puertas NOR con entradas activas a nivel ALTO de la Figura 7.1(a) es similar, pero requiere el uso de niveles lógicos opuestos.

Los símbolos lógicos para ambos tipos de latches, con entradas activas a nivel ALTO y a nivel BAJO, se muestran en la Figura 7.4.

El Ejemplo 7.1 ilustra cómo un latch \bar{S} - \bar{R} con entradas activas a nivel BAJO responde a las condiciones de entrada. Los niveles BAJOS se aplican a las entradas siguiendo una determinada secuencia y se observa la señal de salida Q resultante. La condición $\bar{S} = 0, \bar{R} = 0$ no se contempla, ya que origina un modo de funcionamiento no válido del latch, lo que es un gran inconveniente en cualquier latch de tipo SET-RESET.

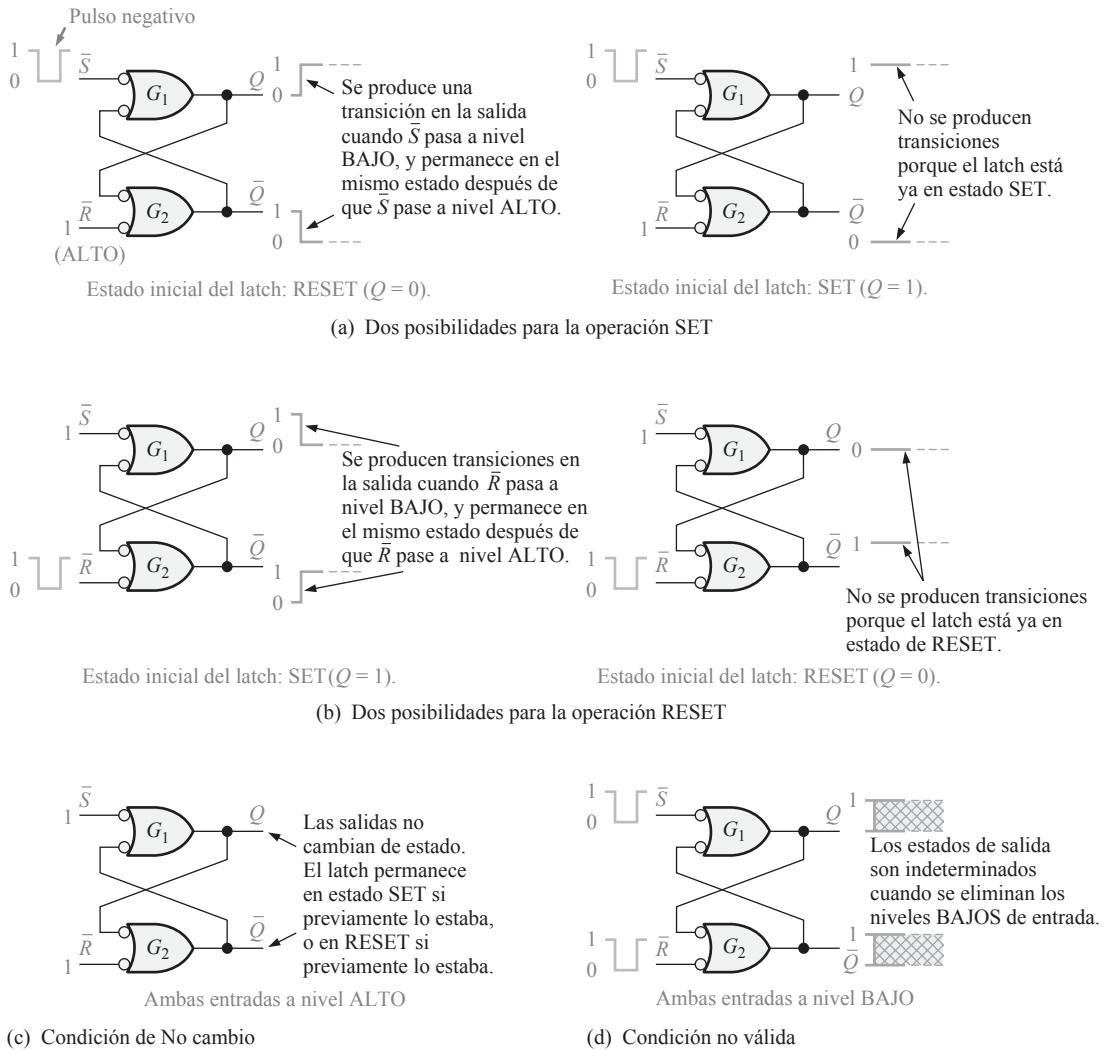


FIGURA 7.3 Los tres modos básicos de funcionamiento del latch $\bar{S}-\bar{R}$ (SET, RESET y No cambio) y la condición no válida.

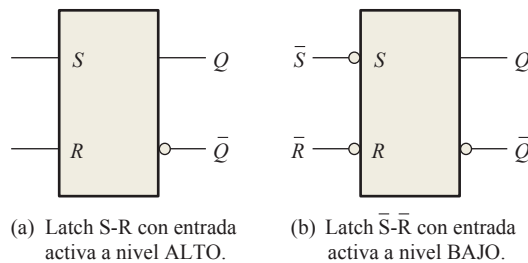


FIGURA 7.4 Símbolos lógicos para los latches S-R y $\bar{S}-\bar{R}$.

| Entradas | | Salidas | | Comentarios |
|-----------|-----------|---------|-----------|--|
| \bar{S} | \bar{R} | Q | \bar{Q} | |
| 1 | 1 | NC | NC | No cambio. El latch permanece en el estado que estaba. |
| 0 | 1 | 1 | 0 | Latch en estado SET. |
| 1 | 0 | 0 | 1 | Latch en estado RESET. |
| 0 | 0 | 1 | 1 | Condición no válida |

TABLA 7.1 Tabla de verdad para un latch $\bar{S}-\bar{R}$ con entrada activa a nivel BAJO.

EJEMPLO 7.1

Si se aplican las formas de onda \bar{S} y \bar{R} de la Figura 7.5(a) a las entradas del latch de la Figura 7.4(b), determinar la forma de onda que se observará en la salida Q . Suponer que Q se encuentra inicialmente a nivel BAJO.

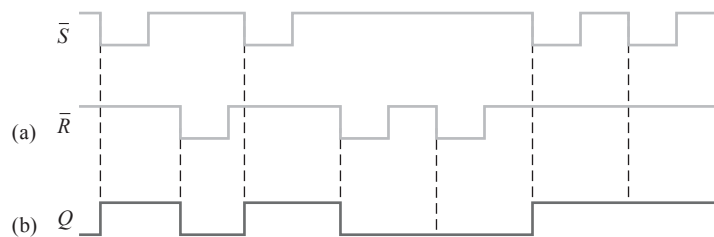


FIGURA 7.5

Solución

Véase la Figura 7.5(b)

Problema relacionado*

Determinar la salida Q de un latch S-R con entradas activas a nivel ALTO si se invierten las formas de onda de la Figura 7.5(a) y se aplican a las entradas.

* Las respuestas se encuentran al final del capítulo.

Aplicación

El latch como eliminador del rebote de los contactos. Un buen ejemplo de aplicación de un latch $\bar{S}-\bar{R}$ consiste en la eliminación del “rebote” producido por los contactos de un interruptor mecánico. Cuando el polo de un interruptor choca con el contacto de cierre del interruptor, vibra o rebota varias veces hasta que, finalmente, se consigue un contacto firme. Aunque estos rebotes son mínimos, producen unos picos de tensión que pueden ser inadmisibles en un sistema digital. Esta situación se ilustra en la Figura 7.6(a).

Se puede utilizar un latch $\bar{S}-\bar{R}$ para eliminar los efectos de los rebotes del interruptor, como se muestra en la Figura 7.6(b). El interruptor se encuentra normalmente en la posición 1, manteniendo la entrada \bar{R} a nivel BAJO y al latch en estado RESET. Cuando el interruptor pasa a la posición 2, \bar{R} pasa a nivel ALTO debido a la resistencia de *pull-up* conectada a V_{CC} y \bar{S} pasa a nivel BAJO cuando se produce el primer contacto. Aunque \bar{S} permanece a nivel BAJO durante un breve espacio de tiempo antes de que el interruptor rebote, este tiempo es suficiente para activar (SET) el latch. Cualquier otro pico de tensión aplicado posteriormen-

te a la entrada \bar{S} , debido al rebote del interruptor, no va a afectar al latch, y éste permanecerá en el estado SET. Téngase en cuenta que la salida Q del latch proporciona una transición limpia del nivel BAJO al nivel ALTO, por lo que se eliminan los picos de tensión causados por el rebote de los contactos. De forma similar, se produce una transición limpia de nivel ALTO a nivel BAJO cuando el interruptor vuelve a la posición 1.

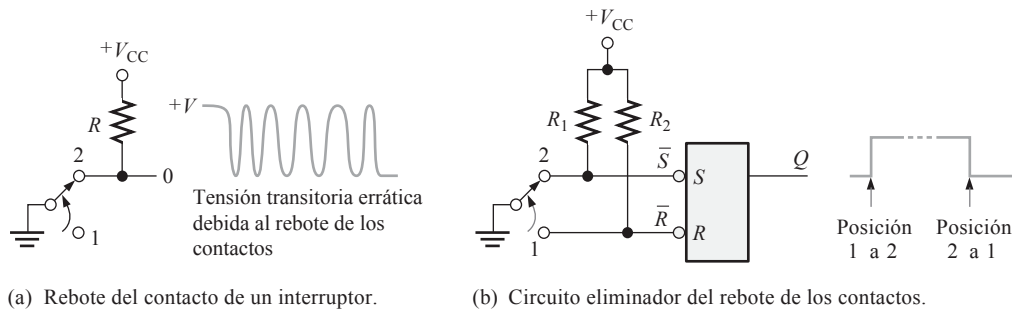


FIGURA 7.6 Utilización del latch $\bar{S}-\bar{R}$ para eliminar el rebote de los contactos de un interruptor.

LATCH SET-RESET 74LS279



El 74LS279 es un cuádruple latch $\bar{S}-\bar{R}$ representado por el diagrama lógico de la Figura 7.7(a) y cuyo diagrama de pines es el mostrado en la parte b de la misma figura. Observe que dos de los latches tienen dos entradas \bar{S} .

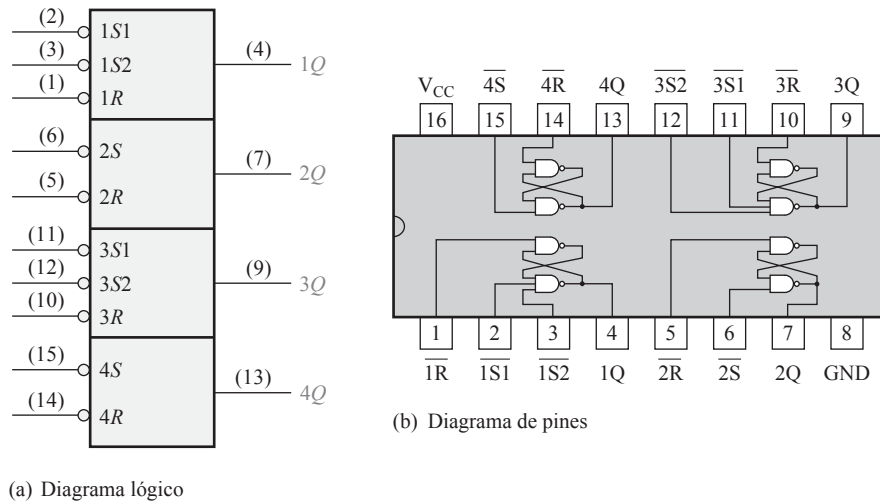


FIGURA 7.7 El cuádruple latch $\bar{S}-\bar{R}$ 74LS279.

El latch S-R con entrada de habilitación

El diagrama y el símbolo lógico de un latch con entrada de habilitación se muestran en la Figura 7.8. Las entradas S y R controlan el estado al que va a cambiar el latch cuando se aplica un nivel ALTO a la entrada

de habilitación (EN , *enable*). El latch no cambia de estado hasta que la entrada EN está a nivel ALTO pero, mientras que permanezca en este estado, la salida va a ser controlada por el estado de las entradas S y R . En este circuito, el estado no válido del latch se produce cuando las dos entradas S y R están simultáneamente a nivel ALTO.

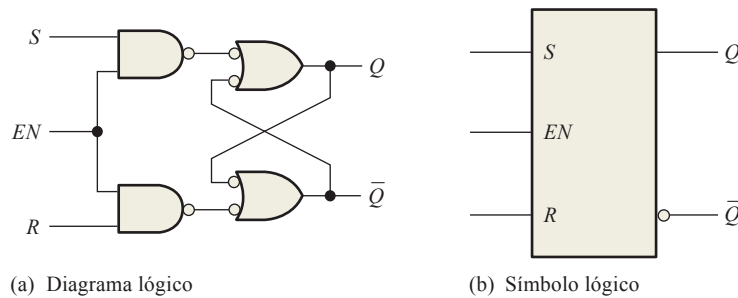


FIGURA 7.8 Latch S-R con entrada de habilitación.

EJEMPLO 7.2

Determinar la forma de onda de salida Q , si se aplican las señales de entrada mostradas en la Figura 7.9(a) a un latch S-R con entrada de habilitación, que se encuentra inicialmente en estado de RESET.

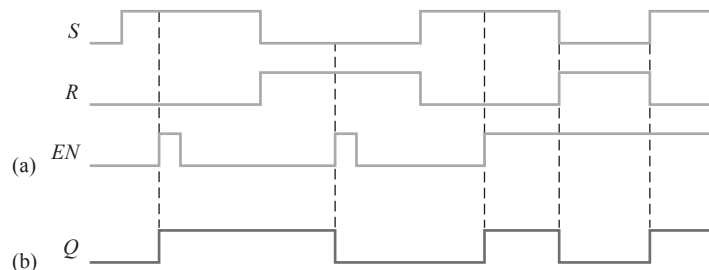


FIGURA 7.9

Solución

La forma de onda Q se muestra en la Figura 7.9(b). Siempre que S está a nivel ALTO y R a nivel BAJO, un nivel ALTO en la entrada EN hace que el latch se ponga en estado SET. Siempre que S está a nivel BAJO y R a nivel ALTO, un nivel ALTO en la entrada EN hace que el latch se ponga en estado RESET.

Problema relacionado

Determinar la salida Q de un latch S-R con entrada de habilitación, si se invierten las entradas S y R de la Figura 7.9(a).

El latch D con entrada de habilitación

Existe otro tipo de latch con entrada de habilitación que se denomina latch D. Se diferencia del latch S-R en que sólo tiene una entrada, además de la de habilitación, EN . Esta entrada recibe el nombre de entrada de datos (D). La Figura 7.10 muestra el diagrama y el símbolo lógico de este tipo de latch. Cuando la entrada D está a

nivel ALTO y la entrada *EN* también, el latch se pone en estado SET. Cuando la entrada *D* está a nivel BAJO y la entrada *EN* está a nivel ALTO, el latch se pone en estado RESET. Dicho de otra manera, la salida *Q* es igual a la entrada *D* cuando la entrada de habilitación *EN* está a nivel ALTO.

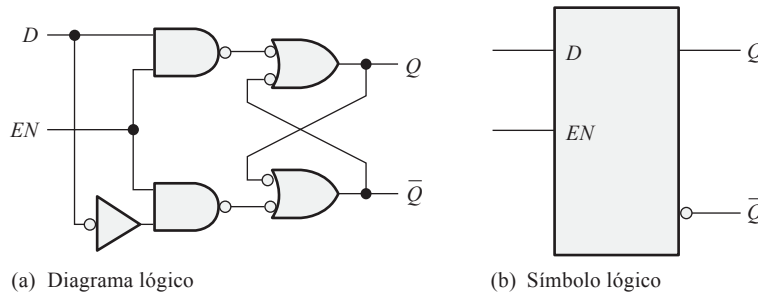


FIGURA 7.10 Latch D con entrada de habilitación.

EJEMPLO 7.3

Determinar la forma de onda de salida *Q*, si se aplican las entradas que se muestran en la Figura 7.11(a) a un latch D con entrada de habilitación que, inicialmente, está en estado RESET.

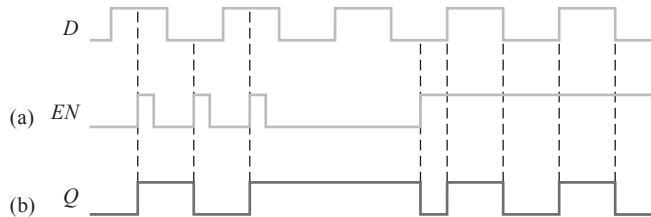


FIGURA 7.11

Solución

La forma de onda *Q* se muestra en la Figura 7.11(b). Siempre que *D* y *EN* estén a nivel ALTO, la salida *Q* será un nivel ALTO. Siempre que *D* sea un nivel BAJO y *EN* esté a nivel ALTO, *Q* se pondrá a nivel BAJO. Cuando *EN* está a nivel BAJO, el estado del latch no se ve afectado por la entrada *D*.

Problema relacionado

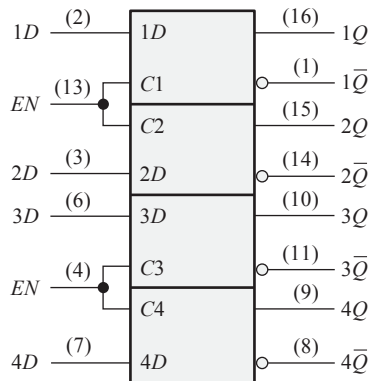
Determinar la salida *Q* del latch D con entrada de habilitación, si la señal de entrada *D* de la Figura 7.11(a) se invierte.

LATCH D 74LS75



Un ejemplo de un latch D con entrada de habilitación es el 74LS75, cuyo símbolo lógico se puede ver en la Figura 7.12(a). Este dispositivo está compuesto por cuatro latches. Observe que cada entrada de habilitación *EN* activa a nivel ALTO está compartida por dos latches y se designa como entrada de control (*C*). La tabla de verdad de cada latch se muestra en la Figura 7.12(b). La X en esta tabla representa una condición “indiferente”. En este caso, cuando la entrada *EN* está a nivel BAJO, da lo mismo el valor que

tenga la entrada D , ya que las salidas no se ven afectadas y permanecen en los estados en que se encontraban.



(a) Símbolo lógico

| Entradas | | Salidas | | Comentarios |
|----------|------|---------|-------------|-------------|
| D | EN | Q | \bar{Q} | |
| 0 | 1 | 0 | 1 | RESET |
| 1 | 1 | 1 | 0 | SET |
| X | 0 | Q_0 | \bar{Q}_0 | No cambio |

Nota: Q_0 es el nivel de salida previo antes de que se establecieron las condiciones de entrada indicadas

(b) Tabla de verdad (de cada latch)

FIGURA 7.12 Cuádruple latch D con entrada de habilitación 74LS75.

REVISIÓN DE LA SECCIÓN 7.1

1. Enumerar tres tipos de latches.
2. Desarrollar la tabla de verdad del latch S-R con entradas activas a nivel ALTO de la Figura 7.1(a).
3. ¿Cuál es la salida Q de un latch D cuando $EN = 1$ y $D = 1$?

7.2 FLIP-FLOPS DISPARADOS POR FLANCO

Los flip-flops son dispositivos síncronos de dos estados, también conocidos como *multivibradores biestables*. En este caso, el término *síncrono* significa que la salida cambia de estado únicamente en un instante específico de una entrada de disparo denominada **reloj** (CLK), la cual recibe el nombre de entrada de control, C . Esto significa que los cambios en la salida se producen sincronizadamente con el reloj.

Al finalizar esta sección, el lector deberá ser capaz de:

- Definir *reloj*.
- Definir *flip-flop disparado por flanco*.
- Explicar la diferencia entre un flip-flop y un latch.
- Identificar un flip-flop disparado por flanco mediante su símbolo lógico.
- Comentar la diferencia entre los flip-flops disparados por flancos positivos y negativos.
- Comparar el funcionamiento de los flip-flops disparados por flanco S-R, D y J-K, y explicar las diferencias entre sus tablas de verdad.
- Explicar las entradas asíncronas de un flip-flop.
- Describir los flip-flops 74AHC74 y 74HC112.

▲ *El indicador de entrada dinámica ▷ indica que el flip-flop cambia de estado sólo en el flanco de un pulso de reloj.*

Un **flip-flop disparado por flanco** cambia de estado con el flanco positivo (flanco de subida) o con el flanco negativo (flanco de bajada) del impulso de reloj y es sensible a sus entradas sólo en esta transición del reloj. En esta sección se cubren tres tipos de flip-flops disparados por flanco: S-R, D y J-K. Los símbolos lógicos de estos dispositivos se muestran en la Figura 7.13. Observe que pueden ser disparados por flanco positivo (no hay círculo en la

entrada C) o por flanco negativo (hay un círculo en la entrada C). La clave para identificar un flip-flop disparado por flanco mediante su símbolo lógico la da el triángulo que se encuentra dentro del bloque en la entrada del reloj (C). El triángulo se denomina *indicador de entrada dinámica*.

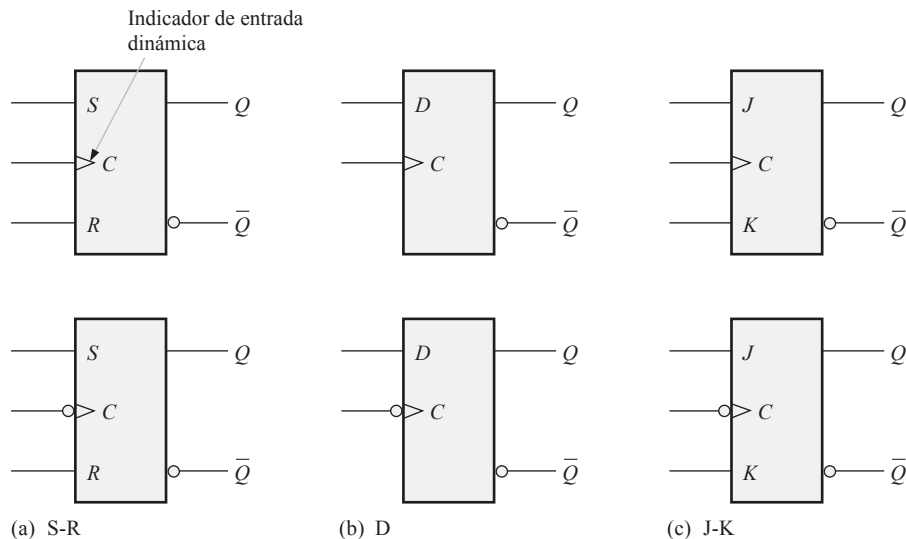


FIGURA 7.13 Símbolos lógicos de los latches disparados por flanco (parte superior: disparado por flanco positivo; parte inferior: disparado por flanco negativo).

Flip-flop S-R disparado por flanco

▲ *Un flip-flop S-R no puede tener ambas entradas R y S a nivel ALTO al mismo tiempo.*

Las entradas S y R de un **flip-flop S-R** se denominan entradas *síncronas*, dado que los datos en estas entradas se transfieren a las salidas del flip-flop sólo con el flanco de disparo del impulso del reloj. Cuando S está a nivel ALTO y R está a nivel BAJO, la salida Q se pone a nivel ALTO con el flanco de disparo del impulso de reloj, pasando el flip-flop al estado SET. Cuando S está a nivel BAJO y R está a nivel ALTO, la salida Q se pone a nivel BAJO con el flanco de disparo del impulso de reloj, pasando el flip-flop al estado RESET. Cuando tanto S como R están a nivel BAJO, la salida no cambia de estado. Cuando S y R están a nivel ALTO, se produce una condición no válida.

El funcionamiento básico de un flip-flop disparado por flanco positivo se muestra en la Figura 7.14, mientras que la tabla de verdad se puede ver en la Tabla 7.2. Recordemos que *un flip-flop no puede cambiar de estado excepto en el flanco de disparo de un impulso de reloj*. Las entradas S y R se pueden cambiar en cual-



NOTAS INFORMÁTICAS

Las memorias semiconductoras para computadoras constan de numerosas celdas individuales. Cada celda de almacenamiento contiene un 1 o un 0. Un tipo de memoria es la memoria de acceso aleatorio estática o SRAM, que utiliza flip-flops como celdas de almacenamiento, ya que un flip-flop mantendrá uno de dos estados de forma indefinida siempre que se aplique alimentación continua, de aquí el término *estática*. Este tipo de memoria se clasifica como una memoria *volátil*, dado que todos los datos almacenados se perderán cuando se desconecte la alimentación. Existe otro tipo de memoria, la memoria RAM dinámica o DRAM, que utiliza capacitancias en lugar de flip-flops como elemento básico de almacenamiento y debe refrescarse periódicamente para mantener los datos almacenados.

quier instante en que la entrada de reloj esté a nivel ALTO o nivel BAJO (excepto durante un breve instante de tiempo en las proximidades de las transiciones de disparo del reloj) sin que varíe la salida.

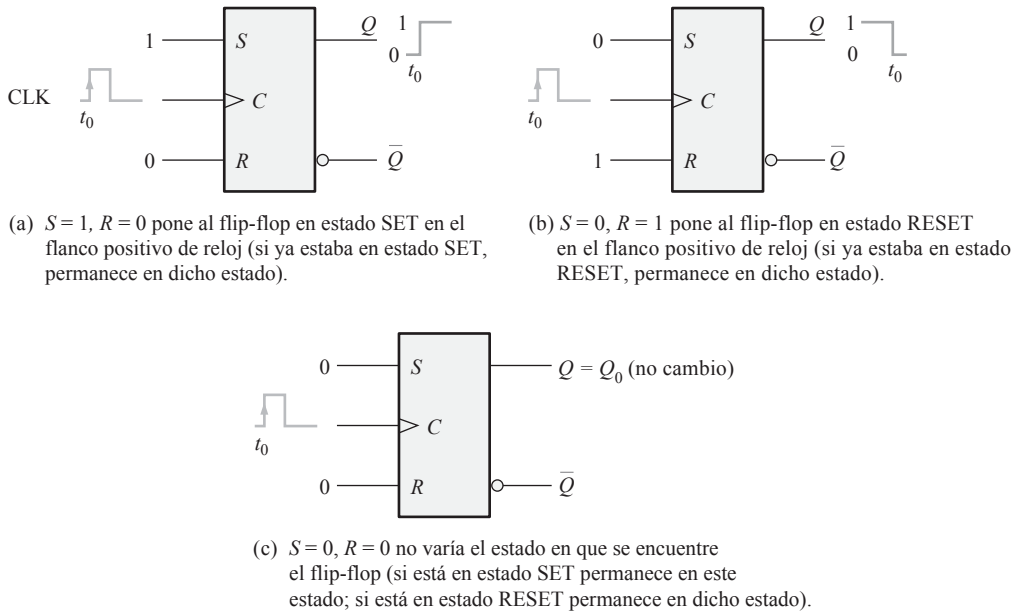


FIGURA 7.14 Funcionamiento de un flip-flop S-R disparado por flanco positivo.

| Entradas | | | Salidas | | Comentarios |
|----------|-----|-------|---------|-------------|-------------|
| S | R | CLK | Q | \bar{Q} | |
| 0 | 0 | X | Q_0 | \bar{Q}_0 | No cambio |
| 0 | 1 | ↑ | 0 | 1 | RESET |
| 1 | 0 | ↑ | 1 | 0 | SET |
| 1 | 1 | ↑ | ? | ? | No válida |

↑ = transición del reloj de nivel BAJO a nivel ALTO
 X = irrelevante ("condición indiferente")
 Q_0 = nivel de salida previo a la transición del reloj

TABLA 7.2 Tabla de verdad de un flip-flop S-R disparado por flanco positivo.

El funcionamiento y tabla de verdad de un flip-flop S-R disparado por flanco negativo son las mismas que las de un dispositivo disparado por flanco positivo, excepto en que el flanco de bajada del impulso del reloj es, en este caso, el flanco de disparo.

EJEMPLO 7.4

Determinar las formas de onda de salida Q y \bar{Q} del flip-flop de la Figura 7.15, para las entradas S, R y CLK de la Figura 7.16(a). Suponer que el flip-flop disparado por flanco positivo se encuentra, inicialmente, en estado RESET.

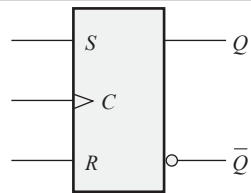


FIGURA 7.15

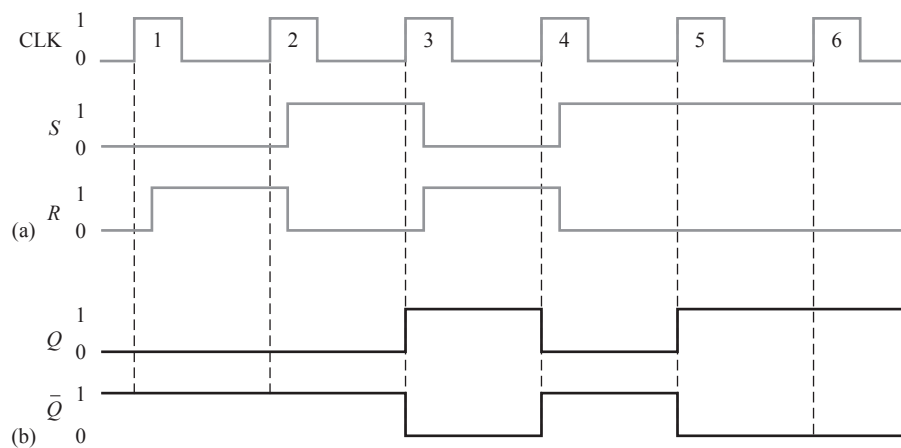


FIGURA 7.16

Solución

1. Durante el impulso 1 de reloj, S está a nivel BAJO y R está a nivel BAJO, luego Q no cambia.
2. Durante el impulso 2 de reloj, S está a nivel BAJO y R está a nivel ALTO, luego Q permanece a nivel BAJO (RESET).
3. Durante el impulso 3 de reloj, S está a nivel ALTO y R está a nivel BAJO, luego Q pasa a nivel ALTO (SET).
4. Durante el impulso 4 de reloj, S está a nivel BAJO y R está a nivel ALTO, luego Q pasa a nivel BAJO (RESET).
5. Durante el impulso 5 de reloj, S está a nivel ALTO y R está a nivel BAJO, luego Q pasa a nivel ALTO (SET).
6. Durante el impulso 6 de reloj, S está a nivel ALTO y R está a nivel BAJO, luego Q permanece a nivel ALTO.

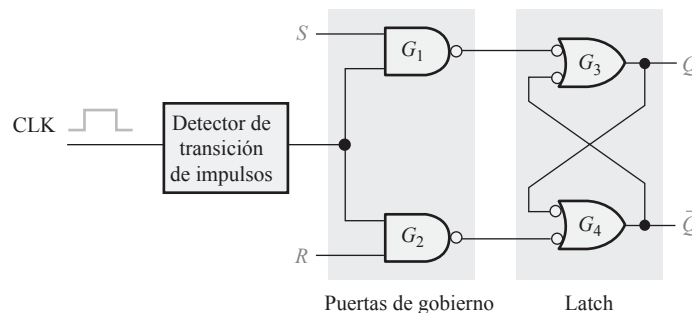
Una vez que se ha determinado Q , se puede conocer \bar{Q} de forma muy sencilla, complementando la salida Q . Las formas de onda resultantes para Q y \bar{Q} se muestran en la Figura 7.16(b) en función de las formas de onda de entrada de la parte (a).

Problema relacionado

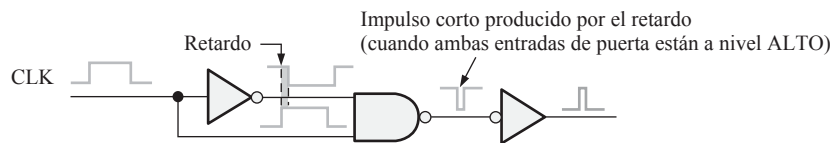
Determinar Q y \bar{Q} para las entradas S y R de la Figura 7.16(a), si el flip-flop es disparado por flanco negativo.

Un método de disparo por flanco

En la Figura 7.17(a) se presenta la implementación simplificada de un flip-flop S-R disparado por flanco, que se va a utilizar para explicar el concepto de disparo por flanco, aunque esto no significa que sea el tipo de flip-flop más importante. Realmente, los flip-flops D y J-K se utilizan con más frecuencia, y se pueden encontrar como circuitos integrados mucho más fácilmente que los S-R. Sin embargo, es mucho más interesante el estudio de los S-R, ya que tanto el flip-flop J-K como el D se pueden derivar de él. Conviene tener en cuenta que el flip-flop S-R se distingue del latch S-R con entrada de habilitación únicamente en que cuenta con un detector de transiciones de impulsos.



(a) Diagrama lógico simplificado de un flip-flop S-R disparado por flanco positivo



(b) Un tipo de detector de transiciones de impulsos

FIGURA 7.17 Disparo por flanco.



NOTAS INFORMÁTICAS

Todas las operaciones lógicas que se realizan mediante hardware también pueden implementarse por software. Por ejemplo, la operación de un flip-flop J-K puede realizarse mediante instrucciones específicas de computadora. Si se utilizaran dos bits para representar las entradas J y K, la computadora no haría nada para la entrada 00; para la entrada 10, un bit de datos que representara la salida Q se pondría a 1, el bit de datos Q sería 0 para la entrada 01 y el bit de datos Q se complementarían para la entrada 11. Aunque no suele ser habitual utilizar una computadora para simular un flip-flop, la cuestión es que todas las operaciones de hardware se pueden realizar mediante software.

Un detector de transiciones de impulsos típico se muestra en la Figura 7.17(b). Como se puede ver, existe un pequeño retraso en una de las entradas de la puerta NAND de manera que el impulso invertido de reloj llega a la entrada de la puerta unos cuantos nanosegundos después que el verdadero impulso de reloj. Esto origina un pico de salida que dura sólo unos nanosegundos. En los flip-flops disparados por flanco negativo, se invierte primero el impulso de reloj, de forma que se origina un pico muy estrecho en el flanco de bajada.

Observe que el circuito de la Figura 7.17 está dividido en dos secciones, una correspondiente a las denominadas puertas de gobierno, y otra al latch. Las puertas de gobierno dirigen los picos de reloj hacia la entrada de la puerta G_3 o la entrada de la G_4 , dependiendo del estado de las entradas S y R . Para comprender el funcionamiento de este flip-flop, vamos a comenzar suponiendo que se encuentra en estado RESET ($Q = 0$) y que

las entradas S , R y CLK están todas a nivel BAJO. En esta situación, las salidas de las puertas G_1 y G_2 están ambas a nivel ALTO. La salida Q a nivel BAJO se realimenta a una de las entradas de la puerta G_4 , forzando la salida \bar{Q} a nivel ALTO. Puesto que \bar{Q} está a nivel ALTO, las dos entradas de la puerta G_3 están a nivel ALTO (recordemos que la salida de la puerta G_1 está a nivel ALTO), manteniendo la salida Q a nivel BAJO. Si se aplica un impulso a la entrada de reloj CLK , las salidas de las puertas G_1 y G_2 permanecen a nivel ALTO, ya que se desactivan cuando las entradas S y R están a nivel BAJO; por tanto, no hay ningún cambio en el estado del flip-flop: permanece en RESET.

Ahora, se pone la entrada S a nivel ALTO, dejando R a nivel BAJO y se aplica un impulso de reloj. Dado que la entrada S de la puerta G_1 está ahora a nivel ALTO, la salida de la puerta G_1 pasa a nivel BAJO durante un breve espacio de tiempo (pico) cuando CLK pasa a nivel ALTO, haciendo que la salida Q se ponga a nivel ALTO. Las dos entradas de la puerta G_4 están ahora a nivel ALTO (recordemos que la salida de G_2 está a nivel ALTO ya que R está a nivel BAJO), forzando la salida \bar{Q} a pasar a nivel BAJO. Este nivel BAJO de la salida \bar{Q} se realimenta a una de las entradas de la puerta G_3 , asegurando que la salida Q permanezca a nivel ALTO. El flip-flop se encuentra ahora en estado SET. La Figura 7.18 ilustra las transiciones de niveles lógicos que tienen lugar en el flip-flop para esta condición.

A continuación, ponemos S a nivel BAJO y R a nivel ALTO, y aplicamos un impulso de reloj. Ya que la entrada R está a nivel ALTO, el flanco positivo de reloj produce un pico negativo en la salida de la puerta G_2 , haciendo que la salida \bar{Q} pase a nivel ALTO. Debido a este nivel ALTO en \bar{Q} , ambas entradas de la puerta G_3 están ahora a nivel ALTO (recordemos que la salida de la puerta G_1 es un nivel ALTO debido a que la entrada S está a nivel BAJO), forzando a la salida Q a pasar a nivel BAJO. Este nivel BAJO en Q se realimenta a una de las entradas de la puerta G_4 , asegurando así que \bar{Q} permanecerá a nivel ALTO. El flip-flop se encuentra ahora en estado RESET. La Figura 7.19 ilustra las transiciones de niveles lógicos que ocurren en el flip-flop para esta condición. Al igual que en el latch con entrada de habilitación, se produce una condición no válida cuando ambas entradas S y R están, simultáneamente, a nivel ALTO. Esta es la principal desventaja de los flip-flops S-R.

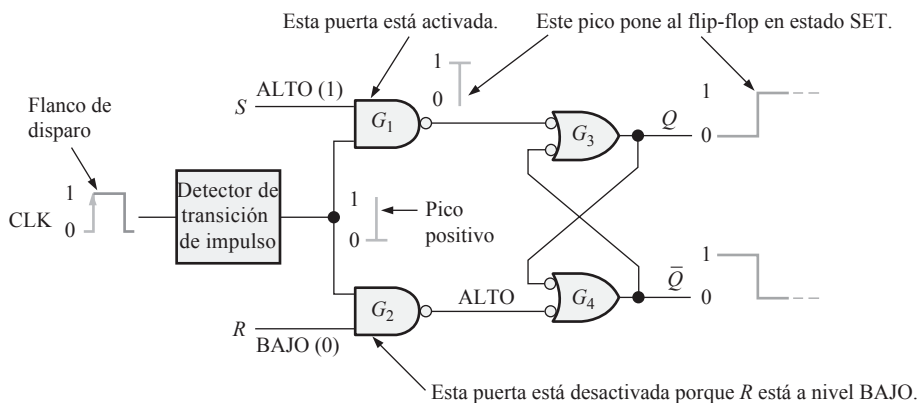


FIGURA 7.18 Flip-flop que realiza una transición del estado RESET al estado SET durante el flanco positivo del impulso del reloj.

El flip-flop D disparado por flanco

▲ La salida Q de un flip-flop D toma el estado de la entrada D en el impulso de disparo de la señal de reloj.

El *flip-flop D* resulta muy útil cuando se necesita almacenar un único bit de datos (1 o 0). Si se añade un inversor a un flip-flop S-R obtenemos un flip-flop D básico, como se muestra en la Figura 7.20, en la que se muestra uno disparado por flanco positivo.

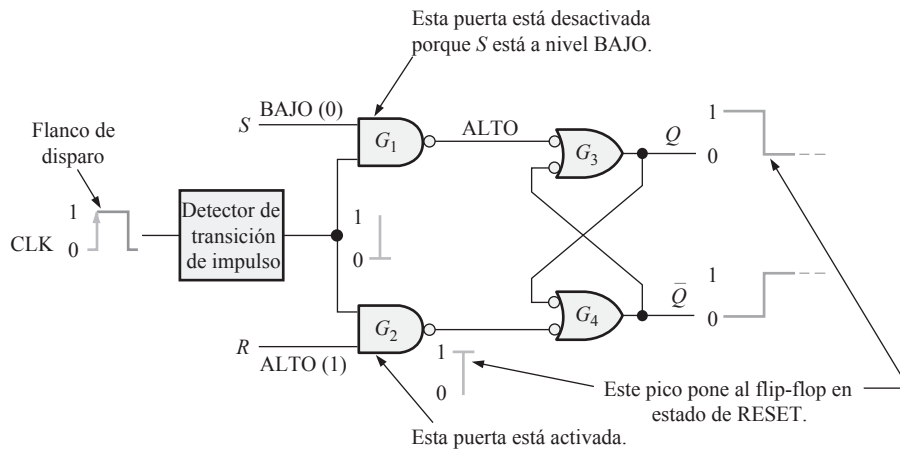


FIGURA 7.19 Flip-flop que realiza una transición del estado SET al estado RESET durante el flanco positivo del impulso del reloj.

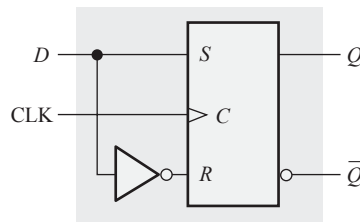


FIGURA 7.20 Flip-flop D disparado por flanco positivo, formado por un flip-flop S-R y un inversor.

Observe que el flip-flop de la Figura 7.20 tiene únicamente una entrada, la entrada D , además del reloj. Si cuando se aplica un impulso de reloj la entrada D está a nivel ALTO, el flip-flop se activa (SET) y almacena el nivel ALTO de la entrada D durante el flanco positivo del impulso del reloj. Si existe un nivel BAJO en la entrada D cuando se aplica el impulso del reloj, el flip-flop se pone a cero (RESET) y almacena el nivel BAJO de la entrada D durante el flanco de bajada del impulso del reloj. En el estado SET, el flip-flop almacena un 1, mientras que en el estado RESET almacena un 0.

El funcionamiento de un flip-flop D disparado por flanco positivo se resume en la Tabla 7.3. El funcionamiento de un dispositivo activado por flanco negativo es, por supuesto, idéntico, excepto que el disparo tiene lugar en el flanco de bajada del impulso del reloj. Recuerde que Q sigue a D en cada flanco del impulso de reloj.

| Entradas | | Salidas | | Comentarios |
|----------|-------|---------|-----------|-----------------------|
| D | CLK | Q | \bar{Q} | |
| 1 | ↑ | 1 | 0 | SET (almacena un 1) |
| 0 | ↑ | 0 | 1 | RESET (almacena un 0) |

↑ = transición del reloj de nivel BAJO a nivel ALTO

TABLA 7.3 Tabla de verdad de un flip-flop D disparado por flanco positivo.

EJEMPLO 7.5

Dadas las formas de onda de la Figura 7.21(a) para la entrada D y el reloj, determinar la onda de salida Q si el flip-flop parte del estado RESET.

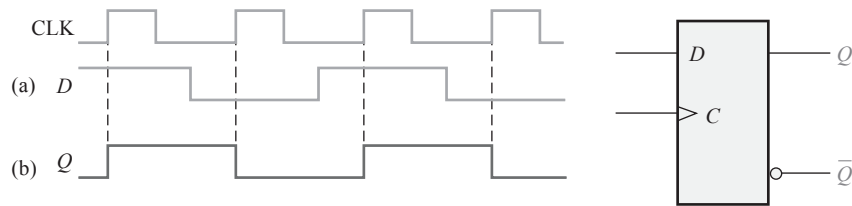


FIGURA 7.21

Solución

La salida Q sigue al estado de la entrada D cada vez que se produce un flanco positivo del reloj. La salida resultante se muestra en la Figura 7.21(b).

Problema relacionado

Determinar la salida Q para el flip-flop D , si la entrada D de la Figura 7.21(a) se invierte.

El flip-flop J-K disparado por flanco

El *flip-flop J-K* es versátil y es uno de los tipos de flip-flop más ampliamente utilizado. El funcionamiento del flip-flop J-K es idéntico al del flip-flop S-R en las condiciones de operación SET, RESET y de permanencia de estado (no cambio). La diferencia está en que el flip-flop J-K no tiene condiciones no válidas como ocurre en el S-R.

La Figura 7.22 muestra la lógica interna de un flip-flop J-K disparado por flanco positivo. Observe que se diferencia del flip-flop S-R disparado por flanco en que la salida Q se realimenta a la entrada de la puerta G_2 , y la salida \bar{Q} se realimenta a la entrada de la puerta G_1 . Las dos entradas de control se denominan J y K , en honor a Jack Kilby, quien inventó el circuito integrado. Un flip-flop J-K puede ser también del tipo disparado por flanco negativo, en cuyo caso, la entrada de reloj se invierte.

Supongamos que el flip-flop de la Figura 7.23 se encuentra en estado RESET y que la entrada J está a nivel ALTO y la entrada K está a nivel BAJO. Cuando se produce un impulso de reloj, pasa un pico correspondiente al flanco anterior, indicado por ①, a través de la puerta G_1 , ya que \bar{Q} está a nivel ALTO y J también está a nivel ALTO. Esto origina que la parte latch del flip-flop cambie al estado SET. El flip-flop ahora está en estado SET.

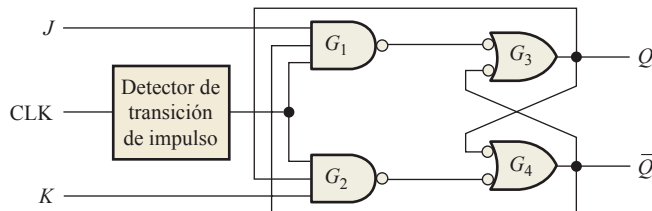


FIGURA 7.22 Diagrama lógico simplificado de un flip-flop J-K disparado por flanco positivo.

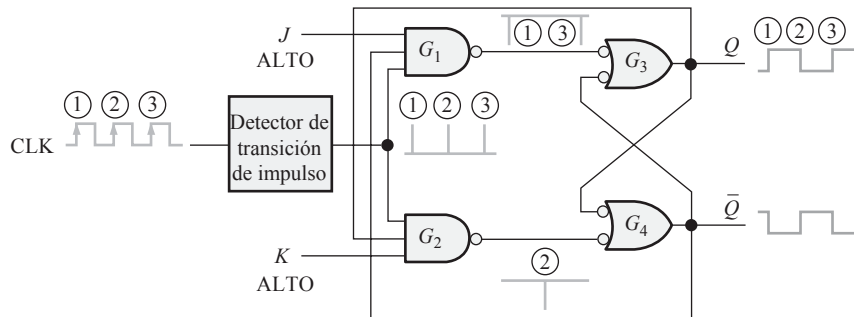


FIGURA 7.23 Transiciones que ilustran el modo de basculación cuando $J = 1$ y $K = 1$.

▲ En el modo de basculación, un flip-flop J-K cambia de estado en cada impulso de reloj.

Si ponemos la entrada J a nivel BAJO y la entrada K a nivel ALTO, el siguiente pico del reloj, indicado por ②, pasará a través de la puerta G_2 , ya que Q está a nivel ALTO y K también. Esto origina que la parte latch del flip-flop cambie al estado RESET. Si ahora se aplica un nivel BAJO a las dos entradas J y K , el flip-flop permanecerá en su estado actual cuando se produzca un impulso del reloj. De esta manera, un nivel BAJO en J y K origina una condición de no cambio.

Hasta ahora, el funcionamiento lógico del flip-flop J-K es idéntico al del S-R en sus modos SET, RESET y de no cambio. La diferencia tiene lugar cuando las dos entradas, J y K , están a nivel ALTO. Para ver esto, supongamos que el flip-flop se encuentra en estado RESET. El nivel ALTO de la salida \bar{Q} activa la puerta G_1 de forma que el pico del reloj, indicado por ③, pasa y activa (SET) el flip-flop. Ahora hay un nivel ALTO en Q , el cual permite que el siguiente pico del reloj pase a través de la puerta G_2 y ponga el flip-flop en estado RESET.

Como puede ver, en cada pico sucesivo de reloj, el flip-flop cambia a su estado opuesto. A este modo de funcionamiento se le denomina **modo de basculación (toggle)**. La Figura 7.23 ilustra las transiciones cuando el flip-flop se encuentra en este modo. Un flip-flop J-K conectado en el modo de basculación en ocasiones se denomina *flip-flop T*.

En la Tabla 7.4 se muestra la tabla de verdad del flip-flop J-K disparado por flanco, la cual resume su funcionamiento. Observe que no hay ningún estado no válido, como ocurría con el flip-flop S-R. La tabla de verdad de un dispositivo disparado por flanco negativo es idéntica, excepto en que se dispara durante el flanco de bajada del impulso de reloj.

| Entradas | | | Salidas | | Comentarios |
|----------|-----|-------|---------|-------------|-------------|
| J | K | CLK | Q | \bar{Q} | |
| 0 | 0 | ↑ | Q_0 | \bar{Q}_0 | No cambio |
| 0 | 1 | ↑ | 0 | 1 | RESET |
| 1 | 0 | ↑ | 1 | 0 | SET |
| 1 | 1 | ↑ | Q_0 | \bar{Q}_0 | Basculación |

↑ = transición del reloj de nivel BAJO a nivel ALTO
 Q_0 = nivel de salida previo a la transición del reloj

TABLA 7.4 Tabla de verdad de un flip-flop J-K disparado por flanco positivo.

EJEMPLO 7.6

Las formas de onda de entrada de la Figura 7.24(a) se aplican a las entradas J , K y de reloj, tal y como se muestra. Determinar la salida Q suponiendo que el flip-flop se encuentra inicialmente en estado RESET.

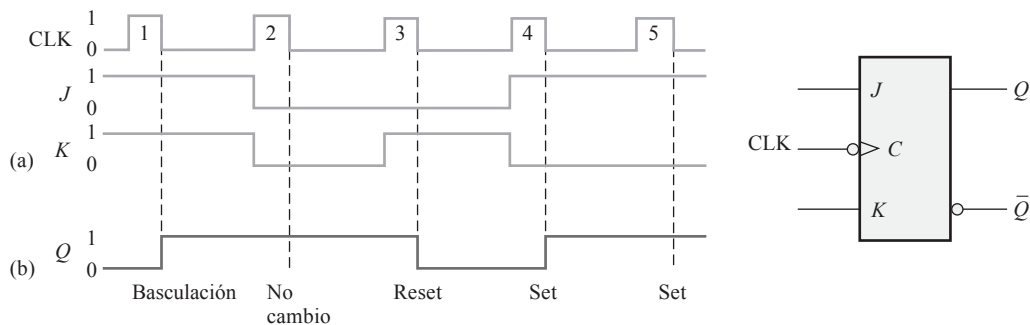


FIGURA 7.24

Solución

1. En primer lugar, dado que se trata de un flip-flop disparado por flanco negativo, como se indica mediante el círculo en la entrada de reloj, la salida Q cambiará sólo al ocurrir el flanco negativo del impulso de reloj.
 2. En el primer impulso de reloj, J y K están a nivel ALTO y, debido a la condición de basculación, Q pasa a nivel ALTO.
 3. En el segundo impulso de reloj, se produce la condición de no cambio en las entradas, manteniendo Q a nivel ALTO.
 4. En el tercer impulso del reloj, J está a nivel BAJO y K a nivel ALTO, produciendo una condición de RESET, por lo que Q pasa a nivel BAJO.
 5. En el cuarto impulso de reloj, J está a nivel ALTO y K a nivel BAJO, dando lugar a una condición de SET, luego Q pasa a nivel ALTO.
 6. La condición SET permanece en J y K cuando ocurre el quinto impulso del reloj, de forma que Q sigue a nivel ALTO.
- La forma de onda Q resultante se indica en la Figura 7.24(b).

Problema relacionado

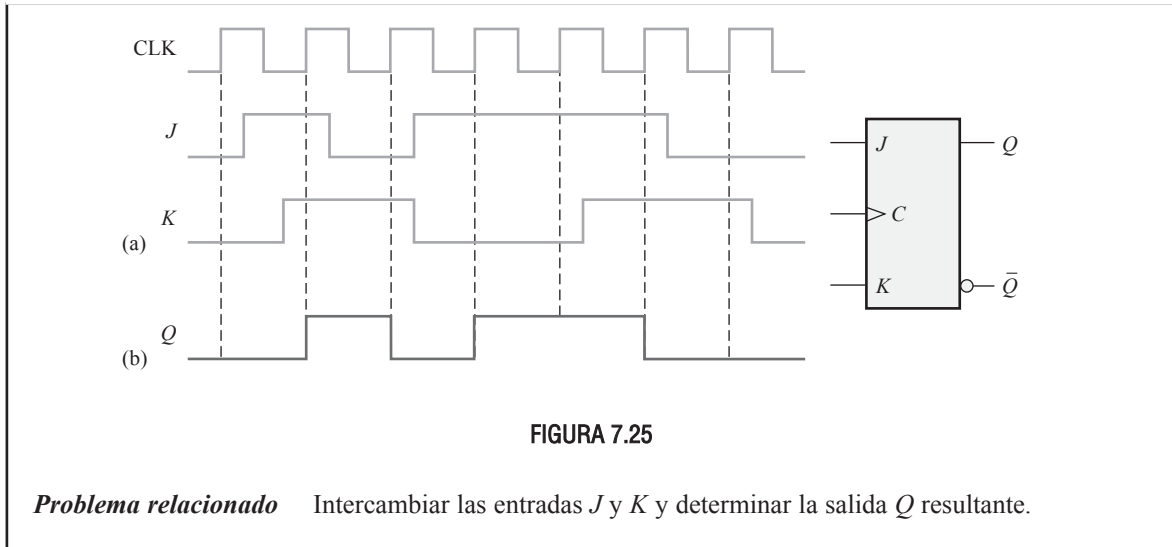
Determinar la salida Q del flip-flop J-K si las entradas J y K de la Figura 7.24(a) se invierten.

EJEMPLO 7.7

Las formas de onda de la Figura 7.25(a) se aplican al flip-flop que se muestra. Determinar la salida Q , comenzado en el estado RESET.

Solución

La salida Q toma el estado determinado por los estados de las entradas J y K en el flanco positivo (flanco de disparo) del impulso de reloj. Si se produce un cambio en J o en K después del disparo del reloj éste no tiene efecto en la salida, como se muestra en la Figura 7.25(b).



Entradas asíncronas de inicialización y borrado

▲ Una entrada de inicialización activa pone la salida Q a nivel ALTO (SET).

▲ Una entrada de borrado activa pone la salida Q a nivel BAJO (RESET).

En los flip-flops que acabamos de estudiar, el $S-R$, el D y el $J-K$, se dice que sus entradas son *entradas síncronas*, ya que los datos de estas entradas condicionan la salida de los flip-flops sólo durante el flanco de disparo del impulso de reloj; esto significa que los datos se transfieren sincronizados con la señal de reloj.

La mayoría de los circuitos integrados flip-flops tienen también entradas **asíncronas**. Estas son entradas que pueden variar el estado del flip-flop *independientemente del reloj*. Generalmente, los fabricantes las denominan de **inicialización, preset, (PRE)** y **borrado, clear, (CLR)**, o de **activación directa (S_D , direct SET)** y **desactivación directa (R_D , direct RESET)**. Un nivel activo en la entrada de inicialización del flip-flop (preset) pone a SET el dispositivo, y un nivel activo en la entrada de borrado (*clear*) lo pone en estado RESET. En la Figura 7.26 se muestra el símbolo

lógico de un flip-flop J-K con entradas *preset* y *clear*. Estas entradas son activas a nivel BAJO, como indican los círculos. Estas entradas de inicialización y borrado deben mantenerse a nivel ALTO para el funcionamiento síncrono.

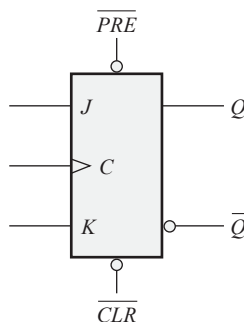


FIGURA 7.26 Símbolo lógico de un flip-flop J-K con entrada de inicialización (*preset*) y de borrado (*clear*) activas a nivel BAJO.

La Figura 7.27 muestra el diagrama lógico de un flip-flop J-K disparado por flanco con entradas de inicialización y borrado activas a nivel BAJO (\overline{PRE}) y (\overline{CLR}). Esta figura ilustra, básicamente, cómo funcionan estas entradas. Como puede ver, están conectadas de forma que anulan el efecto de las entradas síncronas J , K y el reloj.

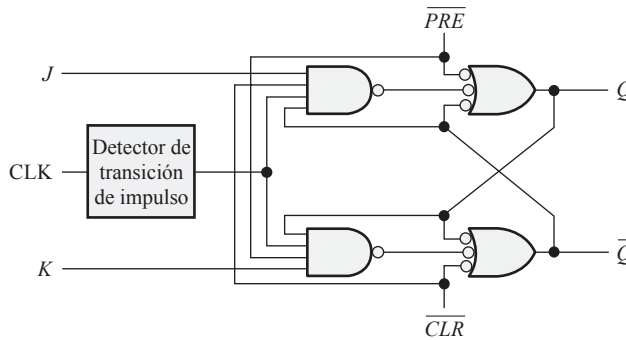


FIGURA 7.27 Diagrama lógico de un flip-flop J-K con entradas de inicialización (*preset*) y de borrado (*clear*) activas a nivel BAJO.

EJEMPLO 7.8

En el flip-flop J-K activado por flanco positivo de la Figura 7.28, con entradas *preset* y *clear*, determinar la salida Q para las entradas mostradas en el diagrama de tiempos de la parte (a), si Q está inicialmente a nivel BAJO.

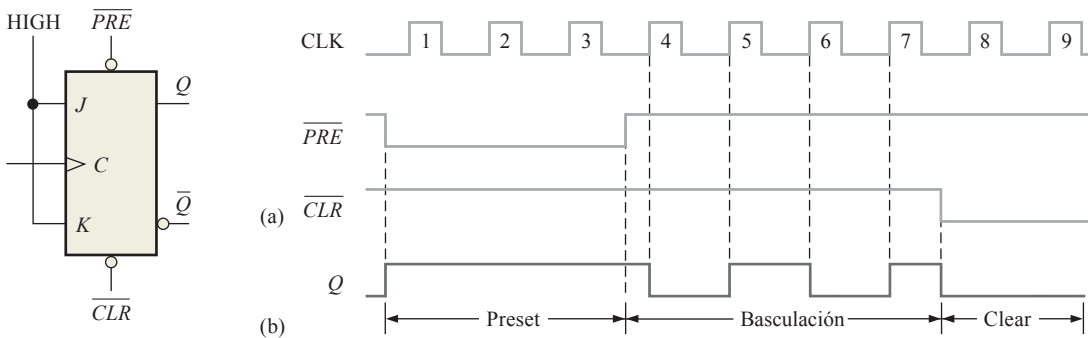


FIGURA 7.28

Solución

1. Durante los impulsos de reloj 1, 2 y 3, la entrada de inicialización (\overline{PRE}) está a nivel BAJO, manteniendo el flip-flop en estado SET, independientemente de las entradas síncronas J y K .
2. Durante los impulsos 4, 5, 6 y 7, funciona en modo de basculación, dado que J está a nivel ALTO, K está a nivel ALTO y tanto \overline{PRE} como \overline{CLR} están a nivel ALTO.

3. Para los impulsos de reloj 8 y 9, la entrada de borrado (\overline{CLR}) está a nivel BAJO, por lo que el flip-flop se mantiene en estado RESET, independientemente de las entradas síncronas.

La salida Q resultante se muestra en la Figura 7.28(b).

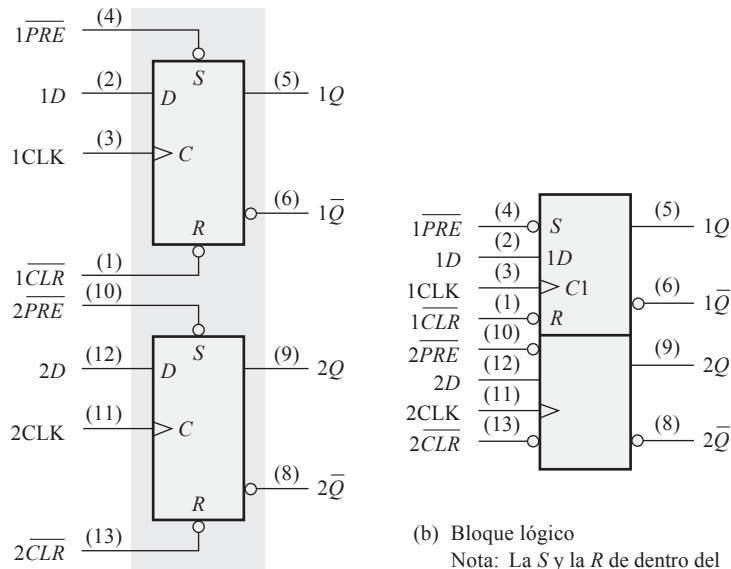
Problema relacionado Si intercambiamos las formas de onda de entrada \overline{PRE} y \overline{CLR} de la Figura 7.28(a), ¿qué forma tendrá la onda de salida Q ?

Ahora, se van a tratar dos circuitos integrados flip-flops disparados por flanco, que son representativos de varios tipos de flip-flops disponibles en forma de CI y que, al igual que la mayoría de otros dispositivos, se encuentran disponibles en las familias lógicas TTL y CMOS.

DOBLE FLIP-FLOP D 74AHC74



Este dispositivo CMOS contiene dos flip-flops D idénticos que son independientes entre sí, excepto en que comparten V_{CC} y tierra. Son flip-flops disparados por flanco positivo y disponen de las entradas asíncronas de inicialización y borrado activas a nivel BAJO. En la Figura 7.29(a) se muestran los símbolos lógicos de cada flip-flop individual dentro del encapsulado, mientras que en la parte (b) de la figura podemos ver el símbolo estándar ANSI/IEEE, que representa el dispositivo completo. La numeración de los pines se indica entre paréntesis.



(a) Símbolos lógicos individuales

(b) Bloque lógico
 Nota: La S y la R de dentro del bloque indican que \overline{PRE} pone al dispositivo en estado SET y \overline{CLR} le pone en estado RESET.

FIGURA 7.29 Símbolos lógicos del doble flip-flop D disparado por flanco positivo 74AHC74.

DOBLE FLIP-FLOP J-K 74HC112



Este dispositivo CMOS contiene también dos flip-flops idénticos que son disparados por flanco negativo, y tienen entradas asincrónicas de inicialización y de borrado activas a nivel BAJO. Los símbolos lógicos correspondientes se muestran en la Figura 7.30.

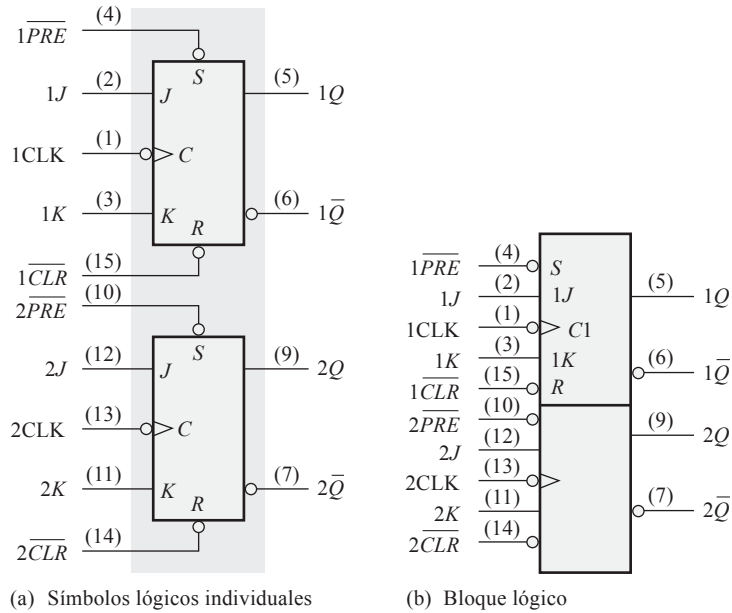


FIGURA 7.30 Símbolos lógicos del doble flip-flop J-K disparado por flanco negativo 74HC112.

EJEMPLO 7.9

Las formas de onda para 1J, 1K, 1CLK, $\overline{1PRE}$ y $\overline{1CLR}$ de la Figura 7.31(a) se aplican a uno de los flip-flops disparados por flanco negativo del circuito 74HC112. Determinar la onda de salida 1Q.

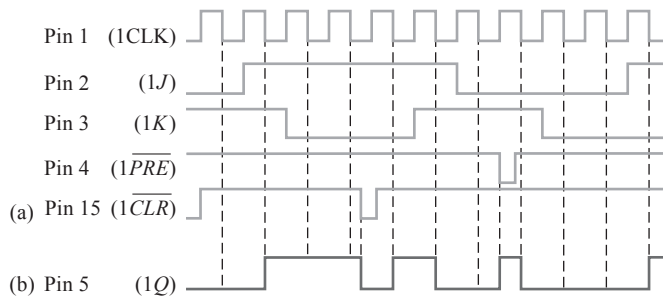


FIGURA 7.31

| | |
|-----------------------------|--|
| Solución | La forma de onda resultante $1Q$ se muestra en la Figura 7.31(b). Observe que cada vez que se aplica un nivel BAJO a la entrada $1\overline{PRE}$ o a la $1\overline{CLR}$, el flip-flop pasa a estado SET o RESET independientemente del estado del resto de las entradas. |
| Problema relacionado | Determinar la forma de onda de salida $1Q$ si se intercambian las señales $1\overline{PRE}$ y $1\overline{CLR}$. |

REVISIÓN DE LA SECCIÓN 7.2

1. Describir la principal diferencia entre un latch S-R con entrada de habilitación y un flip-flop S-R disparado por flanco.
2. ¿Cuál es la diferencia en el funcionamiento básico entre un flip-flop J-K y un flip-flop S-R?
3. Suponer que el flip-flop de la Figura 7.21 es del tipo disparado por flanco negativo. Describir la forma de onda de salida, para las mismas señales de reloj y datos (CLK y D).

7.3 CARACTERÍSTICAS DE OPERACIÓN DE LOS FLIP-FLOPS

El funcionamiento, requisitos de operación y limitaciones de los flip-flops se especifican mediante varias características de funcionamiento o parámetros que se encuentran en las hojas de características del dispositivo. Generalmente, las especificaciones son aplicables a todos los flip-flops CMOS y TTL.

Al finalizar esta sección, el lector deberá ser capaz de:

- Definir *retardo de propagación*. ■ Explicar las distintas especificaciones de retardos de propagación.
- Definir *tiempo de establecimiento* y explicar en qué limita el funcionamiento de los flip-flops.
- Definir *tiempo de mantenimiento* y explicar en qué limita el funcionamiento de los flip-flops.
- Explicar el significado de la frecuencia máxima de reloj. ■ Explicar las distintas especificaciones de los anchos de los impulsos. ■ Definir *disipación de potencia* y calcular su valor en un dispositivo determinado. ■ Comparar varias series de flip-flops en función de sus parámetros de funcionamiento.

Retardos de propagación

Se define *retardo de propagación* como el intervalo de tiempo requerido para que se produzca un cambio en la salida una vez que se ha aplicado una señal en la entrada. Existen distintas categorías de retardos de propagación que son importantes en el funcionamiento de los flip-flops:

1. El retardo de propagación t_{PLH} se mide desde el flanco de disparo del impulso de reloj hasta la transición de nivel BAJO a nivel ALTO de la salida. Este retardo se ilustra en la Figura 7.32(a).
2. El retardo de propagación t_{PHL} se mide desde el flanco de disparo de impulso del reloj hasta la transición de nivel ALTO a nivel BAJO de la salida. Este retardo se ilustra en la Figura 7.32(b).
3. El retardo de propagación t_{PLH} medido desde la entrada de inicialización (*preset*) hasta la transición de nivel BAJO a nivel ALTO de la salida. Este retardo se ilustra en la Figura 7.33(a), para una entrada de inicialización activa a nivel BAJO.
4. El retardo de propagación t_{PHL} medido desde la entrada de borrado (*clear*) hasta la transición de nivel ALTO a nivel BAJO de la salida. Este retardo se ilustra en la Figura 7.33(b), para una entrada de borrado activa a nivel BAJO.

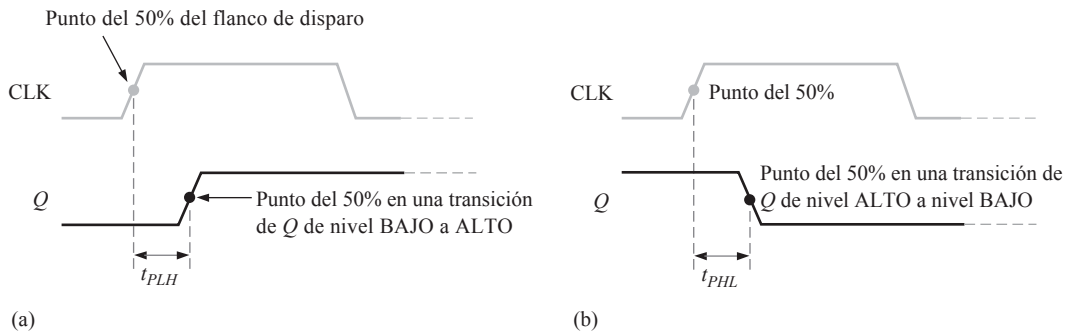


FIGURA 7.32 Retardos de propagación entre el reloj y la salida.

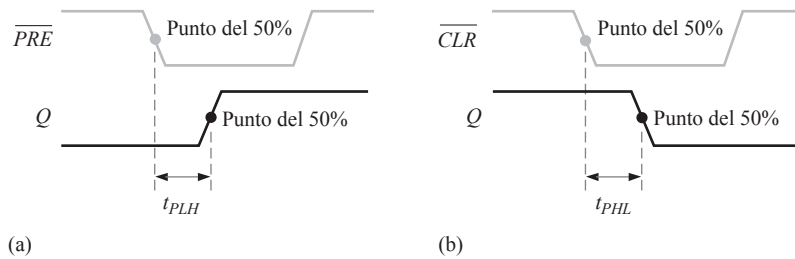


FIGURA 7.33 Retardos de propagación entre la entrada de inicialización y la salida y entre la entrada de borrado y la salida.

Tiempo de establecimiento

El *tiempo de establecimiento*, *setup time* (t_s) es el intervalo mínimo que los niveles lógicos deben mantener constantes en las entradas (J y K , S y R o D) antes de que llegue el flanco de disparo del impulso de reloj, de modo que dichos niveles sincronicen correctamente en el flip-flop. Este intervalo, para el caso de un flip-flop D, se muestra en la Figura 7.34.

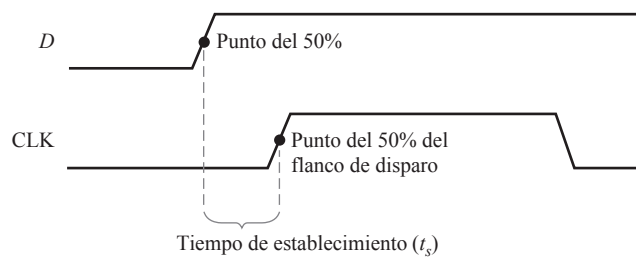


FIGURA 7.34 Tiempo de establecimiento (t_s). El nivel lógico debe estar presente en la entrada D durante un período de tiempo igual o mayor que t_s antes de que el flanco de disparo del impulso de reloj para tener una entrada de datos correcta.

Tiempo de mantenimiento

El *tiempo de mantenimiento*, *hold time* (t_h) es el intervalo mínimo que los niveles lógicos deben mantenerse constantes en las entradas después de que haya pasado el flanco de disparo del impulso de reloj, de modo que

dichos niveles se sincronicen correctamente en el flip-flop. Esto se ilustra, para el caso de un flip-flop D, en la Figura 7.35.

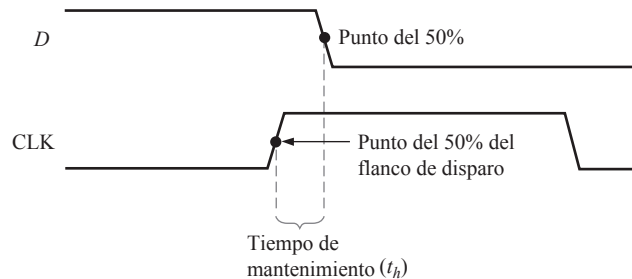


FIGURA 7.35 Tiempo de mantenimiento (t_h). El nivel lógico debe permanecer en la entrada D durante un período de tiempo igual o mayor que t_h después de que el flanco de disparo del impulso de reloj para tener una entrada de datos correcta.

Frecuencia máxima de reloj

La frecuencia máxima de reloj ($f_{m\acute{a}x}$) es la mayor velocidad a la que se puede disparar el flip-flop de manera fiable. Para frecuencias del reloj por encima de la máxima, el flip-flop puede ser incapaz de responder lo suficientemente rápido y su funcionamiento se vería deteriorado.

Anchura de los impulsos

Usualmente, los fabricantes especifican la anchura mínima de los impulsos (t_w) para un funcionamiento adecuado de las entradas de reloj, inicialización y borrado. Típicamente, el reloj se especifica mediante sus intervalos de tiempo mínimo para los niveles ALTO y BAJO.

Disipación de potencia

La **disipación de potencia** de cualquier circuito digital se define como la potencia total consumida por el dispositivo. Por ejemplo, si el flip-flop funciona con una fuente de continua de +5 V y circula por él una corriente de 5 mA, la disipación de potencia es:

$$P = V_{CC} \times I_{CC} = 5 \text{ V} \times 5 \text{ mA} = 25 \text{ mW}$$

Esta disipación de potencia es muy importante en la mayoría de las aplicaciones en las que la capacidad de la fuente de continua (dc) juegue un papel importante. Como ejemplo, vamos a suponer que tenemos un sistema digital que requiere un total de diez flip-flops, y que cada uno de ellos disipa una potencia de 25 mW. El requisito de disipación de potencia total es:

$$P_T = 10 \times 25 \text{ mW} = 250 \text{ mW} = 0,25 \text{ W}$$

Esto nos dice cuál es la potencia de salida necesaria de nuestra fuente de alimentación. Si los flip-flops funcionan con +5 V de continua, entonces la corriente total que tiene que suministrar la fuente es la siguiente:

$$I = \frac{250 \text{ mW}}{5 \text{ V}} = 50 \text{ mA}$$

Tenemos que utilizar una fuente de +5 V que sea capaz de proporcionar al menos 50 mA de corriente.

Comparación de flip-flops específicos

La Tabla 7.5 proporciona una comparación para cuatro flip-flops TTL y CMOS del mismo tipo, en función de los distintos parámetros de funcionamiento discutidos en esta sección.

| Parámetro | CMOS | | TTL | |
|--|----------|---------|---------|---------|
| | 74HC74A | 74AHC74 | 74LS74A | 74F74 |
| t_{PHL} (CLK a Q) | 17 ns | 4,6 ns | 40 ns | 6,8 ns |
| t_{PLH} (CLK a Q) | 17 ns | 4,6 ns | 25 ns | 8,0 ns |
| t_{PHL} ($\overline{\text{CLR}}$ a Q) | 18 ns | 4,8 ns | 40 ns | 9,0 ns |
| t_{PLH} ($\overline{\text{PRE}}$ a Q) | 18 ns | 4,8 ns | 25 ns | 6,1 ns |
| t_{S} (tiempo de setup) | 14 ns | 5,0 ns | 20 ns | 2,0 ns |
| t_{H} (tiempo de hold) | 3,0 ns | 0,5 ns | 5 ns | 1,0 ns |
| t_{W} (CLK HIGH) | 10 ns | 5,0 ns | 25 ns | 4,0 ns |
| t_{W} (CLK LOW) | 10 ns | 5,0 ns | 25 ns | 5,0 ns |
| t_{W} ($\overline{\text{CLR}}/\overline{\text{PRE}}$) | 10 ns | 5,0 ns | 25 ns | 4,0 ns |
| $f_{\text{máx}}$ (MHz) | 35 MHz | 170 MHz | 25 MHz | 100 MHz |
| Potencia (mW) | 0,012 mW | 1,1 mW | | |
| Potencia (mW), ciclo de trabajo 50% | | | 44 mW | 88 mW |

TABLA 7.5 Comparación de los parámetros de funcionamiento para cuatro familias de CI flip-flop del mismo tipo a 25 °C.

CONSEJOS PRÁCTICOS

Una ventaja de los dispositivos CMOS es que pueden operar en un más amplio rango de tensiones continuas de alimentación (normalmente de 2 V a 6 V) que los dispositivos TTL, y, por tanto, se pueden emplear fuentes de alimentación más baratas que no necesitan una regulación precisa. Para los circuitos CMOS también se puede utilizar baterías como fuentes de alimentación primarias o secundarias. Además, tensiones más bajas significan que el CI disipa menos potencia. El inconveniente es que el rendimiento de un circuito CMOS se degrada con tensiones de alimentación bajas. Por ejemplo, la frecuencia máxima de reloj garantizada de un flip-flop CMOS es mucho menor para $V_{\text{CC}} = 2$ V que para $V_{\text{CC}} = 6$ V.

REVISIÓN DE LA SECCIÓN 7.3

- Definir los siguientes parámetros:
 - tiempo de establecimiento
 - tiempo de mantenimiento
- ¿Cuál de todos los flip-flops de la Tabla 7.5 puede funcionar a mayor frecuencia?

7.4 APLICACIONES DE LOS FLIP-FLOPS

En esta sección, se describen tres aplicaciones de carácter general de los flip-flops que nos van a proporcionar una idea básica de cómo pueden utilizarse. En los Capítulos 8 y 9 se tratarán en más detalle las aplicaciones de los flip-flops en contadores y registros.

Al finalizar esta sección, el lector deberá ser capaz de:

- Explicar la aplicación de los flip-flops en el almacenamiento de datos.
- Describir cómo se emplean los flip-flops para la división de frecuencia.
- Explicar cómo se usan los flip-flops en aplicaciones básicas de contadores.

Almacenamiento de datos paralelo

Uno de los requisitos más comunes de los sistemas digitales consiste en almacenar de forma simultánea una serie de bits de datos, procedentes de varias líneas paralelas, en un grupo de flip-flops. Este proceso se ilustra en la Figura 7.36(a), utilizando cuatro flip-flops. Cada una de las cuatro líneas paralelas de datos se conecta a la entrada D de un flip-flop. Las entradas de reloj de los flip-flops se conectan juntas, de forma que los flip-flops son disparados mediante el mismo impulso del reloj. En este ejemplo, se utilizan flip-flops disparados por flanco positivo, por lo que los datos de las entradas D se almacenan simultáneamente en los flip-flops con el flanco positivo de reloj, como se indica en el diagrama de tiempos de la Figura 7.36(b). Además, las entradas de puesta a cero asíncronas (R) se conectan a una línea \overline{CLR} común, que inicialmente pone a cero a todos los flip-flops.

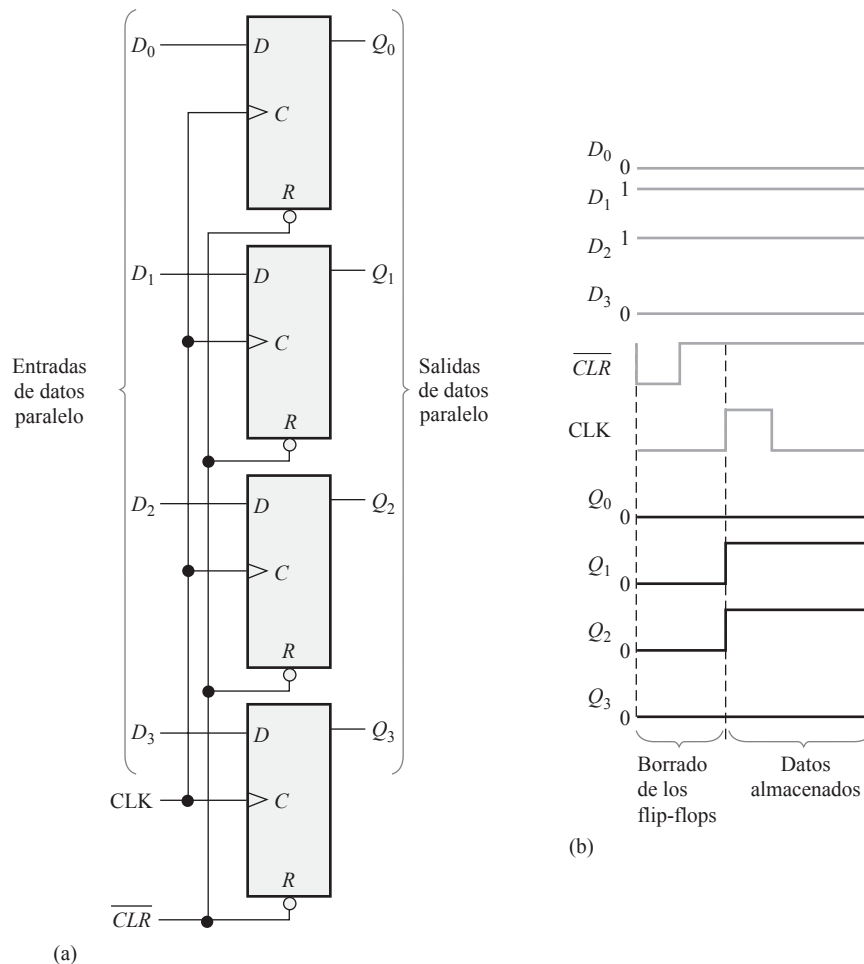


FIGURA 7.36 Ejemplo de utilización de flip-flops en un registro básico para almacenamiento paralelo de datos.

Este grupo de cuatro flip-flops es un ejemplo de un registro básico utilizado para almacenamiento de datos. En los sistemas digitales, los datos se almacenan normalmente en grupos de bits (usualmente ocho o múltiplos de ocho), que representa números, códigos u otras informaciones. Los registros se tratarán en detalle en el Capítulo 9.

División de frecuencia

Otra de las aplicaciones de un flip-flop es la división (reducción) de frecuencia de una señal periódica. Cuando se aplica un tren de impulsos a la entrada de reloj de un flip-flop J-K conectado en modo de basculación ($J = K = 1$), la salida Q es una señal cuadrada que tiene una frecuencia igual a la mitad de la que tiene la señal de reloj. Por tanto, se puede utilizar un único flip-flop como un divisor por 2, como muestra la Figura 7.37. Como puede verse, el flip-flop cambia de estado en cada flanco de disparo del impulso de reloj (flancos positivos en este caso). Esto da lugar a una salida que varía a la frecuencia mitad de la señal de reloj.

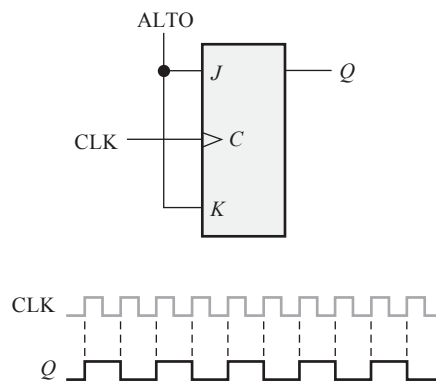


FIGURA 7.37 El flip-flop J-K como dispositivo divisor por 2. La frecuencia de Q es la frecuencia mitad de la señal CLK .

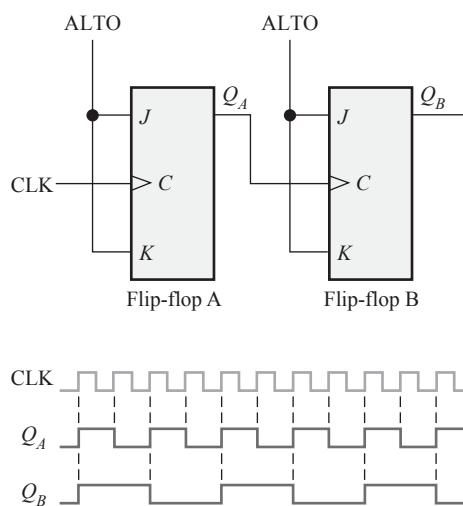


FIGURA 7.38 Ejemplo de utilización de dos flip-flops J-K para dividir la frecuencia de reloj por 4. La frecuencia de Q_A es la frecuencia mitad de CLK y la frecuencia de Q_B es un cuarto de la frecuencia de CLK .

Se pueden conseguir divisiones sucesivas de la frecuencia del reloj conectando la salida de un flip-flop a la entrada de reloj de un segundo flip-flop, como se muestra en la Figura 7.38. El flip-flop B divide la frecuencia de la salida Q_A por 2. La salida Q_B es, por tanto, un cuarto de la frecuencia de la señal de reloj original. En estos diagramas de tiempo no se muestran los retardos de propagación.

Si se conectan varios flip-flops de esta manera, se puede conseguir una división de frecuencias de 2^n , donde n es el número de flip-flops. Por ejemplo, tres flip-flops dividen la frecuencia de reloj por $2^3 = 8$; cuatro flip-flops dividen la frecuencia de reloj por $2^4 = 16$, y así sucesivamente.

EJEMPLO 7.10

Desarrollar la forma de onda f_{out} para el circuito de la Figura 7.39, cuando se aplica una señal cuadrada de 8 kHz en la entrada de reloj del flip-flop A.

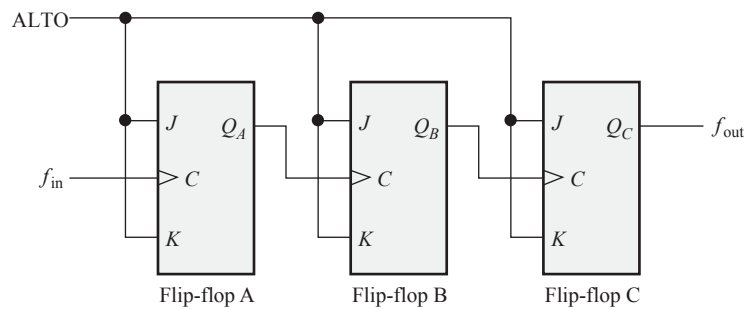


FIGURA 7.39

Solución

Los tres flip-flops están conectados para dividir la frecuencia de entrada por ocho ($2^3 = 8$) y la señal f_{out} se muestra en la Figura 7.40. Dado que se trata de flip-flops disparados por flanco positivo, las salidas cambian durante el flanco positivo del reloj. Hay un impulso de salida por cada ocho impulsos de entrada, de forma que la frecuencia de salida es 1 kHz. Las señales Q_A y Q_B también se muestran.

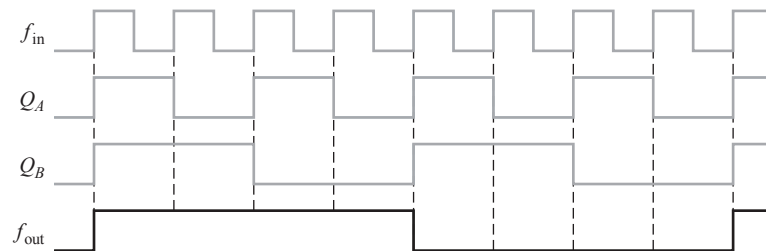


FIGURA 7.40

Problema relacionado ¿Cuántos flip-flops se requieren para dividir una frecuencia entre treinta y dos?

Contadores

Otra de las aplicaciones importantes de los flip-flops son los contadores digitales, que serán tratados en detalle en el Capítulo 8. El concepto se ilustra en la Figura 7.41. Los flip-flops son de tipo J-K disparados por flanco negativo. Ambos flip-flops se encuentran inicialmente en estado RESET. El flip-flop A bascula en las transiciones negativas de cada impulso de reloj. La salida Q del flip-flop A dispara el flip-flop B, de manera que siempre que Q_A realiza una transición de nivel ALTO a nivel BAJO, el flip-flop B bascula. Las señales resultantes Q_A y Q_B se muestran en la figura.

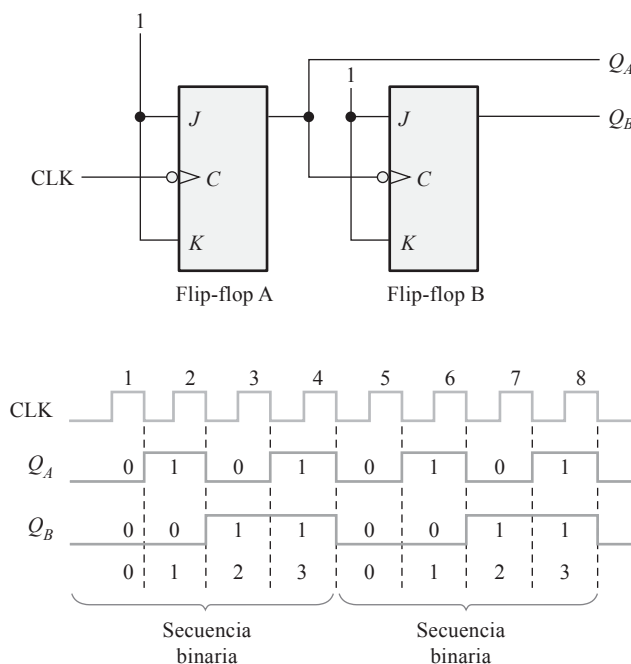


FIGURA 7.41 Flip-flops utilizados para generar una secuencia de cuenta binaria. Se muestran dos repeticiones (00, 01, 10, 11).

Observe la secuencia de Q_A y Q_B en la Figura 7.41. Previamente al impulso de reloj 1, $Q_A = 0$ y $Q_B = 0$; tras el impulso de reloj 1, $Q_A = 1$ y $Q_B = 0$; después del impulso de reloj 2, $Q_A = 0$ y $Q_B = 1$, y tras el impulso de reloj 3, $Q_A = 1$ y $Q_B = 1$. Si se toma Q_A como el bit menos significativo, se produce una secuencia binaria de dos bits a medida que se disparan los flip-flops. Esta secuencia binaria se repite cada cuatro impulsos de reloj, como se muestra en el diagrama de tiempos de la Figura 7.41. Por tanto, los flip-flops siguen una secuencia de 0 a 3 (00, 01, 10, 11) y luego vuelven a 0 para comenzar la misma secuencia de nuevo.

EJEMPLO 7.11

Determinar las formas de onda de salida en función del reloj para Q_A , Q_B y Q_C en el circuito de la Figura 7.42 y mostrar la secuencia binaria representada por estas señales.

Solución

El diagrama de tiempos de salida se muestra en la Figura 7.43. Observe que las salidas cambian en los flancos negativos de los impulsos de reloj. Las salidas siguen la secuencia binaria 000, 001, 010, 011, 100, 101, 110 y 111, tal y como se indica.

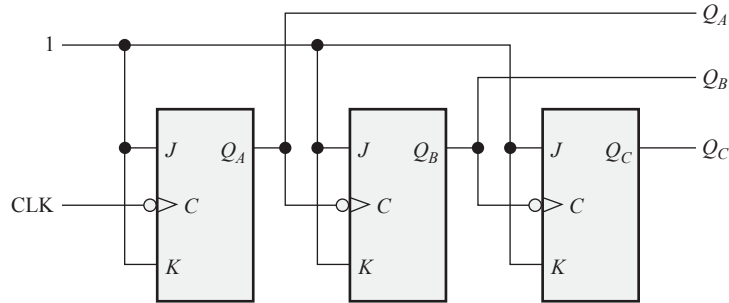


FIGURA 7.42

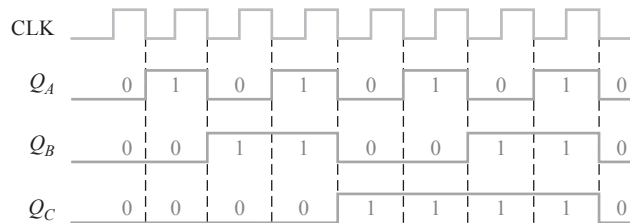


FIGURA 7.43

Problema relacionado ¿Cuántos flip-flops son necesarios para generar una secuencia binaria que represente los números decimales de 0 a 15?

REVISIÓN DE LA SECCIÓN 7.4

1. ¿Cómo se denomina un conjunto de flip-flops utilizado para almacenamiento de datos?
2. ¿Cómo se tiene que conectar un flip-flop J-K para funcionar como un dispositivo divisor por 2?
3. ¿Cuántos flip-flops son necesarios para obtener un dispositivo divisor por 64?

7.5 MONOESTABLES

Los *monoestables* son dispositivos multivibradores que sólo tienen un único estado estable. Normalmente, un monoestable se encuentra en su estado estable, cambiando a su estado inestable sólo cuando se dispara. Una vez que se ha disparado, el monoestable permanece en su estado inestable durante un determinado intervalo de tiempo, volviendo a continuación a su estado estable. El tiempo que este dispositivo permanece en el estado inestable determina la anchura del impulso de su salida.

Al finalizar esta sección, el lector deberá ser capaz de:

- Describir el funcionamiento básico de un monoestable.
- Explicar cómo funciona un monoestable no redispensible.
- Explicar cómo funciona un monoestable redispensible.
- Configurar los monoestables 74121 y 74LS122 para obtener una anchura de impulso determinada.
- Reconocer el símbolo de un *trigger* Schmitt y explicar qué significa.